

Débogage sur les interfaces mémoire DDR3

Lors de la mise en service de circuits dotés de modules de mémoire SDRAM DDR3, les concepteurs ont besoin de solutions qui leur permettent de contrôler l'intégrité du signal au niveau des lignes de données à haut débit. La nouvelle option R&S®K91 destinée aux oscilloscopes R&S®RTO et R&S®RTP offre pour cela différents outils : décodage des cycles de lecture et d'écriture, affichage et analyse du diagramme de l'œil, essai de conformité automatisé pour les normes DDR3, DDR3L et LPDDR3.

Mémoire DDR3-SDRAM : le défi de l'intégrité du signal

La norme DDR3 a été publiée en 2007 par le consortium JEDEC, les mémoires DDR4 sont commercialisées depuis de nombreuses années et l'élaboration du standard DDR5 va bon train. Les mémoires DDR3 demeurent cependant intéressantes pour de nombreuses applications car elles sont moins onéreuses, très fiables et compactes, et autorisent un important volume de données, ainsi que des débits de données suffisants. Il existe également des variantes conformes aux normes DDR3L et LPDDR3, qui assurent une consommation de puissance optimisée, par exemple pour des applications mobiles fonctionnant sur batterie.

La norme DDR3 spécifie les composants de mémoire affichant des débits de données allant de 800 à 2133 Mbit/s. Ces échanges de données rapides sont souvent inédits pour les applications industrielles, médicales ou automobiles, et les exigences en matière de conception et d'essai des ensembles électroniques sont très élevées.

Les composants de mémoire nécessitent donc, en priorité, une tension d'alimentation stable qui respecte les tolérances spécifiées et n'injecte pas de brouillages provenant d'autres unités

fonctionnelles. L'autre aspect essentiel est la conception adéquate des lignes de signaux de l'interface mémoire. En effet, ces lignes doivent supporter des débits de données élevés, ce qui implique notamment les critères suivants : largeur de bande suffisante sur toute la voie de transmission, y compris les transitions au niveau des trous de liaison (vias), connecteurs ou relais ; adaptation des longueurs de ligne aux signaux d'horloge et de données ; isolement des lignes à haut débit de données pour les protéger contre toute diaphonie causée par d'autres interfaces ou unités fonctionnelles.

En outre, lors de la mise en service des circuits, les concepteurs doivent impérativement disposer de possibilités de test exhaustives pour évaluer l'intégrité du signal et le déboguer sur l'interface mémoire DDR3.

Pour des mesures dans un tel environnement, on privilégiera les oscilloscopes dont de nombreuses options pour les tests d'intégrité du signal, telles que les tests dynamiques de tension et de synchronisation conformes aux spécifications du JEDEC (essais de conformité) ainsi que la mesure sur le diagramme de l'œil, outil d'analyse important.

Mesure sur le diagramme de l'œil

Les interfaces DDR3 utilisent une structure de bus parallèle : huit lignes de données référencées à la masse (DQ 0 à DQ 7) y sont cadencées par un signal d'impulsion (signal strobe) différentiel (DQS) (Fig. 1). Dans le diagramme de l'œil des différents signaux DQ, les bits transmis correspondent aux fronts montants et descendants du signal d'horloge DQS.

Le diagramme de l'œil permet aussi de visualiser la qualité de divers paramètres de transmission ; par exemple l'ouverture temporelle de l'œil et la gigue sur ses côtés (transitions de bits) sur l'axe horizontal, et l'ouverture de l'œil verticale et le bruit sur l'axe vertical.

Les oscilloscopes R&S®RTO et R&S®RTP (pour ce dernier, voir page 42) offrent de nombreuses possibilités d'analyse du diagramme de l'œil : mesures automatiques du diagramme, histogrammes horizontaux et verticaux pour l'analyse de la gigue et du bruit, ou encore masques pour des tests de stabilité à long terme (Fig. 2). Ces appareils permettent une acquisition des formes d'onde beaucoup plus rapide que les autres équipements disponibles sur le marché, et sont ainsi en mesure de capturer plusieurs millions de bits en

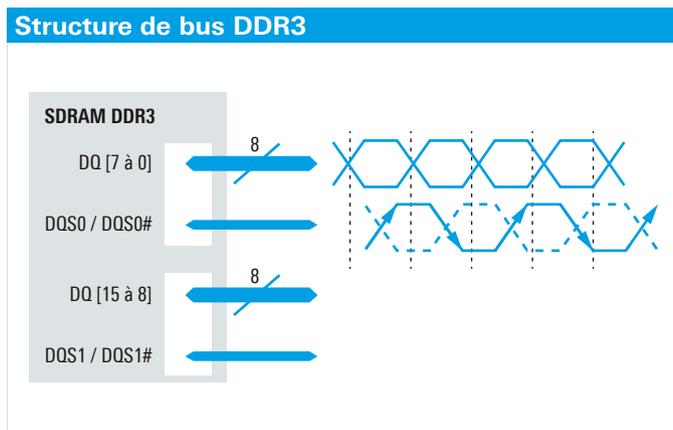


Fig. 1 : Structure de bus parallèle du module SDRAM DDR3 avec huit signaux de données référencés à la masse et un signal d'impulsion (strobe) différentiel (horloge cyclique) par liaison.

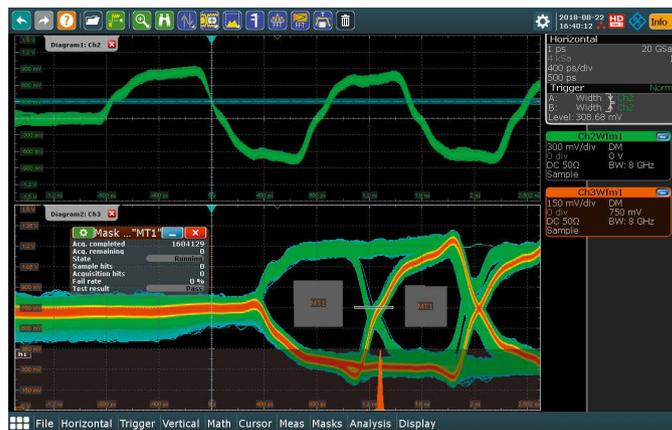


Fig. 2 : Diagramme de l'œil de cycles d'écriture DDR3 avec test du masque et histogramme.

quelques secondes pour les représenter sous forme de diagramme de l'œil.

L'option R&S®RTO-K91 / R&S®RTP-K91 (un logiciel d'essai de conformité et de débogage de l'intégrité du signal DDR3) dispose de la fonction DDR Eye Diagram (Fig. 3). Celle-ci permet d'élaborer un diagramme de l'œil à partir de bits acquis sur une période prolongée. Cette fonction utilise les fronts du signal DQS pour décomposer le signal DQ en bits en vue d'une représentation sous forme de diagramme de l'œil, et offre de nombreuses options pour réaliser des analyses ciblées; par exemple, la qualification de portes (Gate Qualifier) ou le filtre de séquence binaire.

Combiné à la fonction de décodage de lecture/écriture, également incluse dans l'option K91 et présentée en détail plus bas, le diagramme de l'œil peut être affiché pour les cycles de lecture et / ou d'écriture.

Déclenchement ciblé sur des cycles de lecture et d'écriture

L'interface de données DDR3 utilise des lignes bidirectionnelles pour les signaux DQS différentiels et les signaux de données DQ référencés à la masse. Pour différencier les cycles de lecture et d'écriture, les fronts des signaux DQ sont envoyés avec une phase autre que celle des fronts des signaux DQS : dans le cycle de lecture (quand le composant de mémoire envoie des données au processeur), les fronts se situent au même niveau dans le temps; dans le cycle d'écriture (quand le processeur envoie des données au composant de mémoire), les fronts de données DQ sont décalés d'une demi-largeur de bit (Fig. 4).

Ce décalage d'horloge est important pour la fonctionnalité mémoire mais complique la représentation en diagramme de l'œil ainsi que la mesure de paramètres de synchronisation, tels que celui d'établissement et de maintien (Setup&Hold). Il faut donc considérer

séparément les cycles de lecture et d'écriture dans l'analyse de l'intégrité du signal (voir la carte d'application « Triggering read and write cycles of DDR3 memories » – en anglais). Pour ce faire, un déclenchement ciblé sur le début des cycles de lecture et d'écriture est nécessaire. Les oscilloscopes R&S®RTO et R&S®RTP offrent diverses possibilités de déclenchement précis. Leur système de déclenchement numérique unique gère, par exemple les séquences de déclenchement A-B-R complexes (événements déclencheurs A, B et Reset). En outre, leur architecture numérique réagit de manière fiable même en cas de petits changements de signal et de largeurs d'impulsion inférieures à 50 ps.

Les différents préambules pour les cycles de lecture et d'écriture (Fig. 5) constituent une caractéristique de signal des interfaces mémoire DDR3 qui peut être utilisée pour le déclenchement.

Les figures 6 et 7 présentent respectivement des exemples de configurations de déclenchement pour les cycles de lecture et d'écriture. Pour le déclenchement sur le préambule de lecture négatif, légèrement plus long qu'une largeur de bit, il est possible d'utiliser un déclencheur à impulsion configuré en conséquence. Dans l'exemple de la figure 6, un déclencheur à impulsion négative supérieur à 1 ns a été choisi pour un composant DDR3 qui affiche un débit de données de 1333 Mbit/s (≈ 750 ps de largeur de bit).

Pour le déclenchement sur des cycles d'écriture tel qu'illustré à la figure 7, on définit une séquence de déclenchement A-B-R qui recherche des préambules d'écriture (un peu plus grands qu'une largeur de bit). Dans cet exemple, le déclencheur A est défini comme déclencheur de largeur d'impulsion avec une polarité négative sur une largeur supérieure à 2 ns pour détecter le démarrage des cycles d'écriture. Le déclencheur B est défini sur la largeur d'impulsion positive du préambule d'écriture

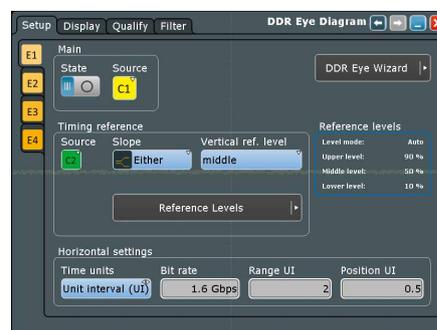


Fig. 3: Boîte de dialogue de configuration pour la fonction DDR Eye Diagram.

Déphasage

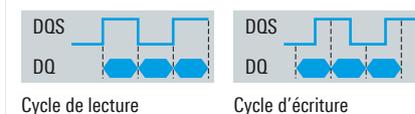


Fig. 4: Alignement temporel des signaux DQ et DQS pour les cycles de lecture et d'écriture.

Déclenchement sur les préambules

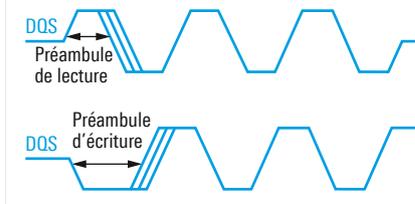


Fig. 5: Préambule du signal DQS pour le cycle de lecture et d'écriture en DDR3.

(> 750 ps). Si aucun événement déclencheur B valide n'est trouvé après un événement déclencheur A, le déclencheur R (défini sur 2 ns) réinitialise le système déclencheur pour rechercher A.

L'option déclencheur de zone R&S®RTO / RTP-K19 offre une autre possibilité pour le déclenchement ciblé sur des cycles de lecture ou d'écriture. Elle permet de définir des zones qui doivent être traversées ou évitées pour un déclenchement valide. La figure 8 présente un exemple de déclenchement sur des cycles de lecture. La première zone dans le signal DQS réagit au préambule de lecture. Les deux autres zones dans les signaux DQS et DQ ciblent des fronts simultanés.

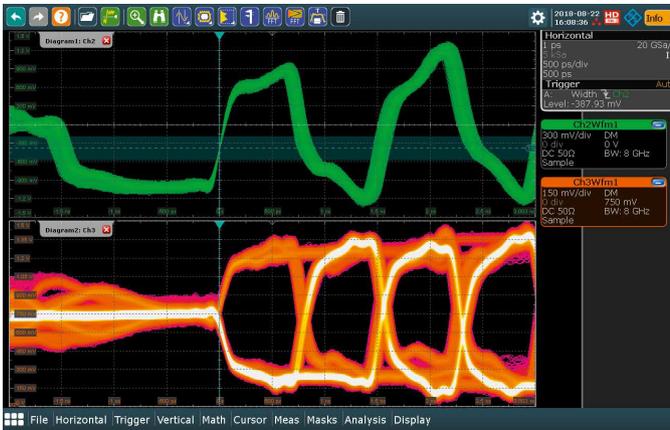


Fig. 6 : Déclenchement sur le préambule de lecture avec un déclencheur à impulsion négative.

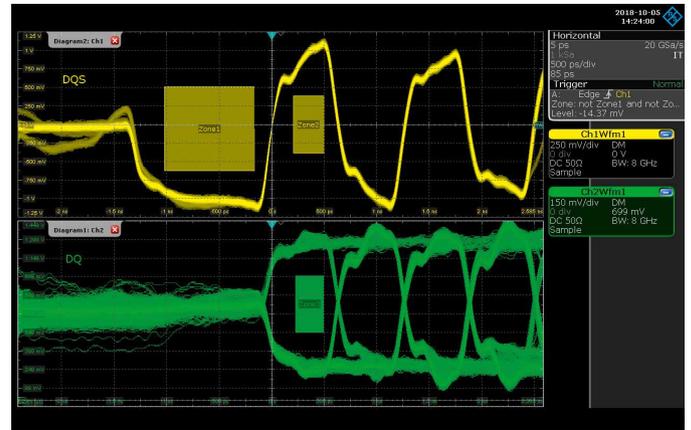


Fig. 8 : Déclenchement sur les cycles de lecture avec une combinaison de zones.

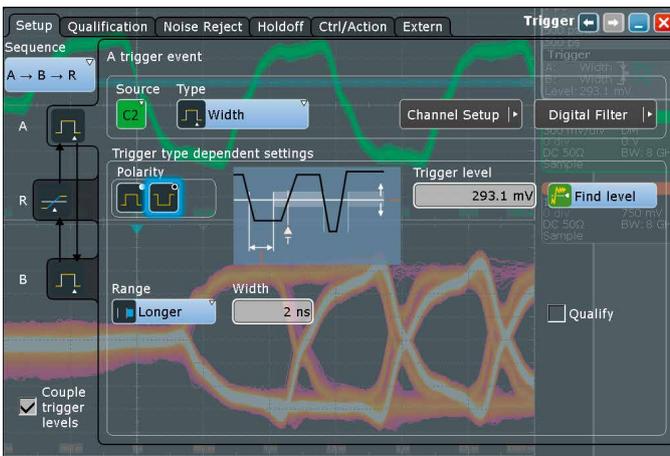


Fig. 7 : Déclenchement sur le préambule d'écriture avec une condition de déclenchement mixte (déclencheur à impulsion A-B-R).

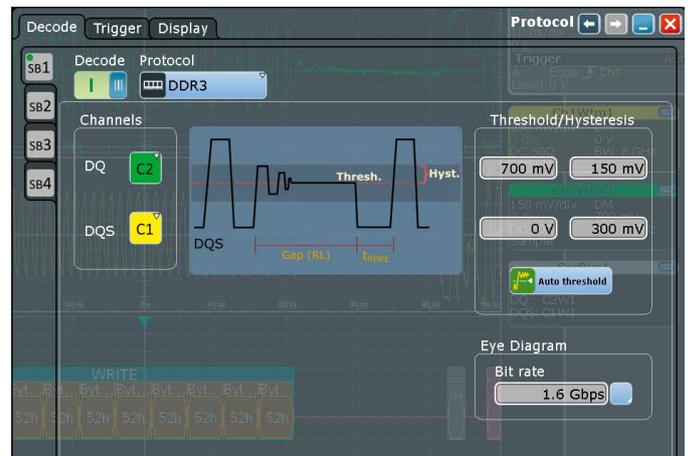


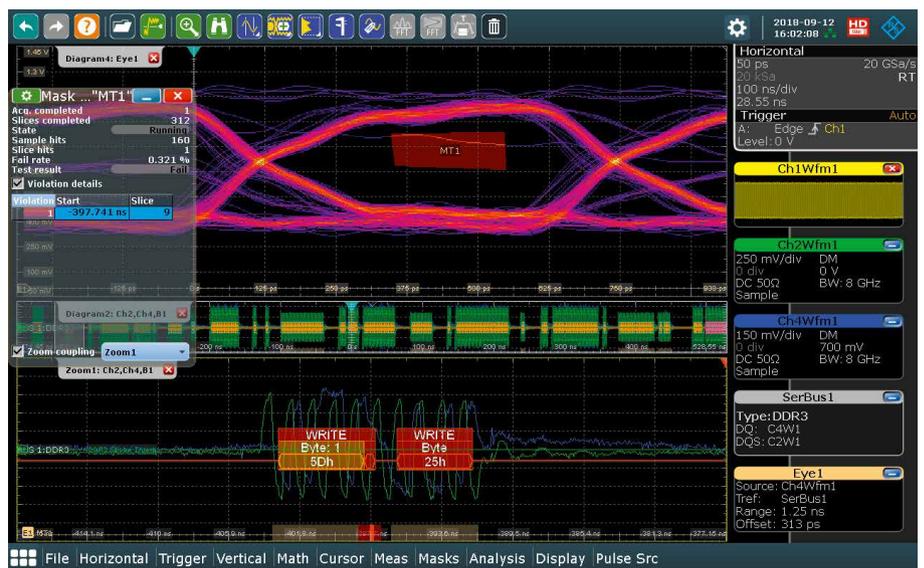
Fig. 9 : Configuration du décodage de lecture et d'écriture avec l'option R&S®RTO-K91/RTP-K91.

Décodage des cycles de lecture et d'écriture

Dotée d'une fonction de décodage, l'option K91 offre une possibilité supplémentaire pour détecter les cycles de lecture et d'écriture. Lancée depuis le menu protocole, cette fonction identifie, au sein d'une acquisition de signaux DQS et DQ, les cycles de lecture et d'écriture sur la base du déphasage des fronts des signaux. La figure 9 représente la boîte de dialogue de configuration correspondante. L'utilisateur choisit simplement l'affectation du canal des signaux DQ et DQS et définit les seuils et les hystérésis via la fonction Auto.

Comme décrit dans la partie Mesure sur le diagramme de l'œil, ce décodage

Fig. 10 : Diagramme de l'œil des cycles d'écriture avec le marquage en bande d'œil (Eye-Stripe) des infractions au masque.



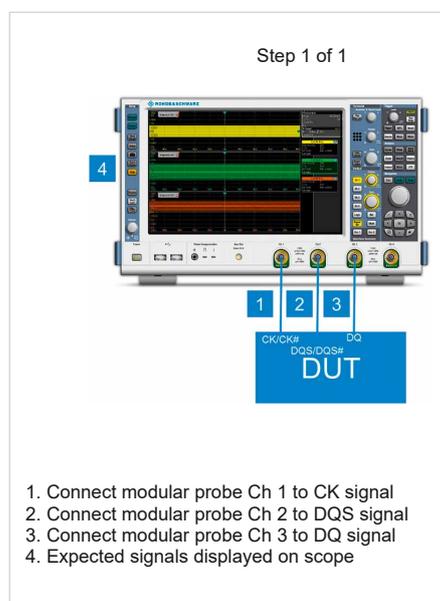


Fig. 11 : Exemple d'instructions étape par étape pour l'essai de conformité dans le test de synchronisation et de données.



Fig. 12 : En développant les lignes, il est possible de visualiser les événements détaillés de chaque test.

peut être utilisé par la fonction DDR Eye Diagram (Fig. 10). Autre outil particulièrement puissant, la vue Eye Stripe signale en rouge les infractions aux masque dans le domaine temporel sur l'axe de temps. En outre, un couplage avec la fenêtre de zoom permet de naviguer confortablement entre ces infractions.

Essais de conformité aux normes DDR3

Les essais de conformité consistent à comparer des valeurs mesurées avec les spécifications que décrit la norme. À cet effet, des fonctions de mesure de base performantes, comme Setup&Hold, sont utiles, mais seule une solution automatisée permettra une exécution vraiment confortable et efficace. Une telle solution offre des instructions détaillées sur les contacts des signaux, configure automatiquement l'oscilloscope, acquiert et mesure les formes d'onde requises, et enfin établit un rapport qui récapitule les résultats. Plus le nombre de mesures nécessaires sur différentes lignes de données et pour différents cycles de données est élevé, plus son utilité est importante. Le logiciel de conformité résout aussi automatiquement le problème de la séparation des cycles de lecture et d'écriture, et apporte, en outre, une assistance pour le redimensionnement (derating) des mesures Setup&Hold.

L'option K91 offre toutes ces possibilités. Elle vérifie que les objets sous test sont conformes aux normes DDR3 (JESD79-3), DDR3L (JESD79-3-1 et JESD79-3-1A.01) et LPDDR3 (JESD209-3C). Elle offre à l'utilisateur un guidage aisé au fil de la mesure grâce

aux images et aux éléments textuels, et indique quels signaux sont à raccorder à quels canaux de l'oscilloscope, et quels signaux de mesure doivent normalement être visibles (Fig. 11).

Les résultats sont présentés de sorte à fournir un aperçu rapide à l'utilisateur, qui peut toutefois accéder aux détails sans avoir à générer immédiatement un rapport (Fig. 12).

Redimensionnement (derating)

Selon la vitesse de balayage – slew rate – réelle des signaux DQ et DQS, la fonction de redimensionnement – derating – détermine un bonus ou un malus qui est ajouté à la valeur limite de mesure. Le slew rate est défini pour chaque mesure Setup&Hold sur les fronts descendants et montants des signaux DQS et DQ. La valeur de derating doit ensuite être déterminée par le biais d'une interpolation des points de référence définis dans la norme JEDEC.

La figure 13 montre un exemple de résultats d'une mesure du temps d'établissement (tDS). Outre la mesure proprement dite, les valeurs slew rate des signaux DQS et DQ sont également indiquées. Dans cet exemple, le derating résultant s'élève à 50,226 ps et est pris en compte en conséquence pour la limite tDS.

Avec le derating, l'option K91 effectue les mesures de façon automatique et efficace. Elle commence par séparer les cycles issus du signal DDR3 en cycles de lecture et d'écriture. Elle active ensuite les mesures correspondantes pendant le temps de signal défini, affiche graphiquement les résultats de

Additional Information

Measurement	Value	Limits
Bursts processed	1559	
tDS(derate) min	218.712 ps	x >= 80.226 ps
DQS Slew Rate	4.090V/ns	
DQ Slew Rate	1.505V/ns	
Derating	50.226 ps	

Fig. 13 : Événements de la mesure du temps de configuration (tDS) avec derating. Dans cet exemple, le derating s'élève à 50,226 ps.

la plus mauvaise valeur mesurée et les récapitule dans un rapport (Fig. 14).

Essais de synchronisation

La norme DDR3 établi par le JEDEC scinde les essais d'interface en tests de synchronisation et en tests électriques. Les tests de synchronisation comportent des spécifications qui décrivent le comportement dans le temps des différents signaux. La synchronisation strobe décrit, par exemple, le comportement dans le temps du signal d'impulsion (strobe) par rapport aux signaux d'horloge et de données. La mesure tRPRE définie en conséquence garantit que la durée du préambule de lecture est 90 % plus longue qu'un cycle d'horloge. Le temps de démarrage du préambule est donné par le point d'intersection de la ligne zéro et du front descendant du signal strobe, établi approximativement par interpolation linéaire. Le point final est déterminé par le passage par zéro suivant d'un front montant du signal strobe. La figure 15 montre les détails de la mesure avec un zoom dans le cycle de lecture.

Des tests similaires sont requis pour d'autres signaux, de nombreuses mesures étant similaires mais non identiques. L'option K91 couvre tous les tests de synchronisation spécifiés au sein des essais de conformité (Fig. 17).

Tests électriques

Comme leur nom l'indique, les tests électriques vérifient les propriétés électriques des signaux. En ce qui concerne les signaux différentiels, les caractéristiques des différentes lignes (V+, V-) par rapport à la masse sont examinées

<input type="checkbox"/>	▼ Clock Timing (12.1)
<input type="checkbox"/>	▼ Data Timing (4.13.2, 13.4, 13.6)
<input type="checkbox"/>	▼ Strobe Timing (4.13.2, 4.14.2, 8.3.1)
<input type="checkbox"/>	▼ Command Timing (13.5)
<input type="checkbox"/>	▼ Address Timing (13.5)
<input type="checkbox"/>	▼ Chip Select Timing (13.5)

Fig. 14: Rapport de la mesure du temps de configuration avec derating.

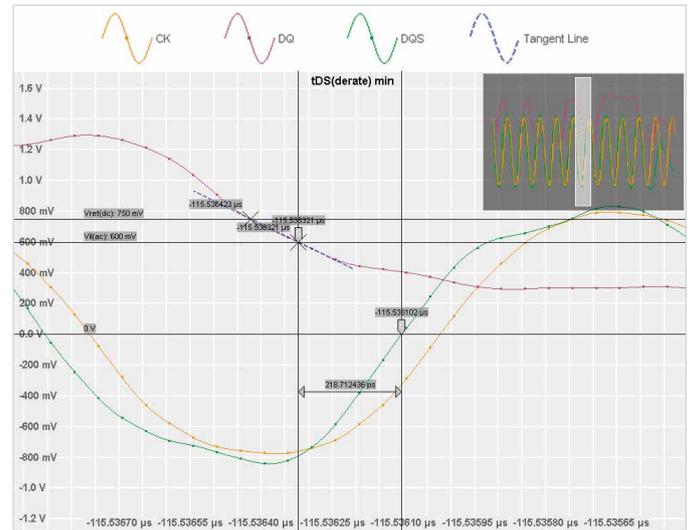


Fig. 15: Détermination des points d'intersection pour les mesures de synchronisation à l'instar d'une mesure tRPRE. Le signal DQ (violet) est uniquement nécessaire pour séparer les cycles de lecture et d'écriture.

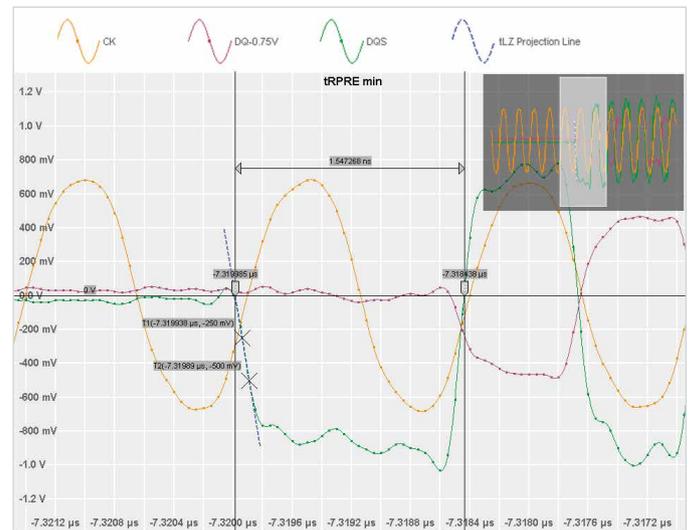


Fig. 16: Liste des tests électriques pouvant être réalisés par l'option d'essai de conformité K91.

<input type="checkbox"/>	▲ Electrical Tests
<input type="checkbox"/>	▲ Single-Ended Measurements
<input type="checkbox"/>	▼ Input Slew Rate for ADD and CMD (8.5, 13.5)
<input type="checkbox"/>	▼ Input Slew Rate for DQ and DM (8.5, 13.6)
<input type="checkbox"/>	▼ AC & DC Input Levels for ADD and CMD (8.1.1)
<input type="checkbox"/>	▼ AC & DC Input Levels for DQ and DM (8.1.2)
<input type="checkbox"/>	▼ AC Input Levels for CK and DQS (8.3.3)
<input type="checkbox"/>	▼ Output Slew Rate for DQ (9.3)
<input type="checkbox"/>	▼ AC & DC Output Levels for DQ (9.1)
<input type="checkbox"/>	▼ AC Overshoot & Undershoot for ADD and CMD (9.6.1)
<input type="checkbox"/>	▼ AC Overshoot & Undershoot for CK, DQ, DQS and DM (9.6.2)
<input type="checkbox"/>	▲ Differential Measurements
<input type="checkbox"/>	▼ AC Input Levels for CK and DQS (8.3)
<input type="checkbox"/>	▼ AC Differential Cross Point Voltage for CK and DQS (8.4)
<input type="checkbox"/>	▼ Differential Output Slew Rate for DQS (9.4)
<input type="checkbox"/>	▼ Differential AC Output Levels for DQS (9.2)

Fig. 17: Liste des tests de synchronisation avec l'option K91.

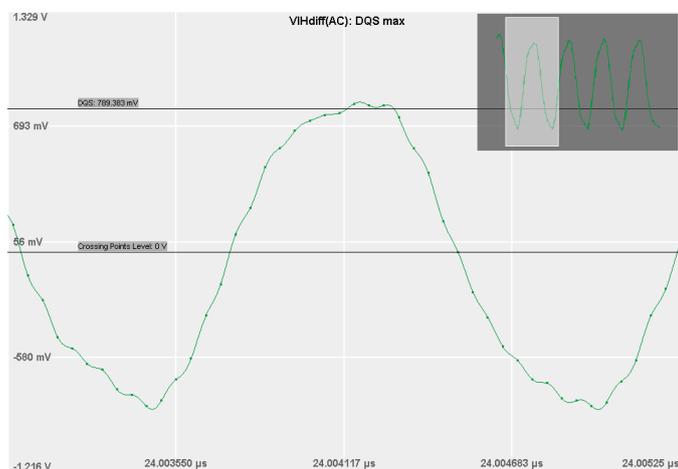


Fig. 18: Détermination et affichage de la valeur $V_{IHdiff}(AC)$ maximale d'un signal DQS.

séparément. La figure 16 présente un aperçu. Contrairement aux tests de synchronisation, un seul signal est observé pour ces mesures. Pour déterminer les cycles de lecture et d'écriture, des signaux DQ et DQS supplémentaires sont toutefois requis dans certains cas.

La figure 18 montre un exemple simple de signal DQS issu du rapport pour le paramètre $V_{IHdiff}(AC)$. Il représente la valeur de tension dynamique HIGH du signal DQS différentiel, déterminée à l'aide d'un histogramme.

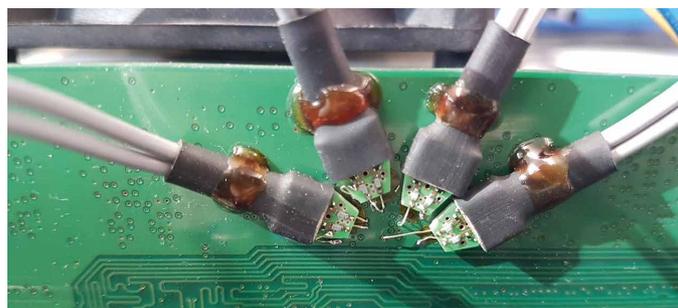


Fig. 19: Mise en contact des signaux DQ et DQS au dos du circuit imprimé au niveau des connexions transversales (vias).

Mise en contact des points de mesure

La spécification DDR3 de JEDEC se référant aux signaux directement sur le composant DRAM, les points de mesure doivent être mis en contact le plus près possible du composant mémoire pour le débogage et les essais d'intégrité du signal.

En règle générale, les composants de mémoire DDR3 sont des boîtiers BGA (Ball Grid Array), c'est-à-dire à matrices de billes. Ils sont brasés soit directement sur le circuit imprimé, soit sur une barrette de mémoire DIMM (Dual Inline Memory Module). Une mise en contact directe des billes sur le dessous du boîtier n'est généralement pas possible. Dans le cas de circuits imprimés simple couche ou de barrettes DIMM, les trous de liaison (vias) permettent d'accéder aux lignes de signaux (Fig. 19).



Fig. 20: Barrette DIMM avec adaptateur pour la mise en contact des signaux DDR3 au moyen d'un module de pointe de sonde à brasier.

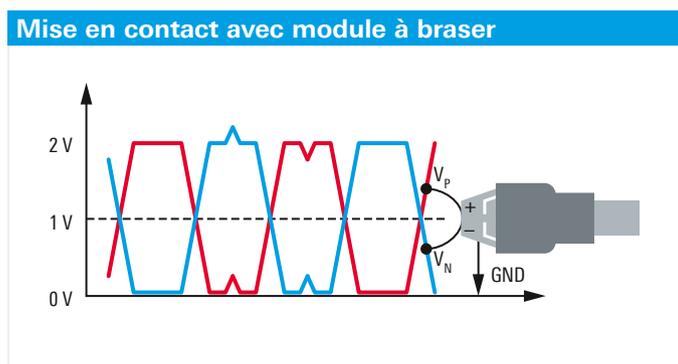


Fig. 21: Contacts à brasier du module de pointe de sonde à brasier R&S®RT-ZMA 10.

Si aucune mise en contact au verso n'est réalisable, il est possible d'insérer un adaptateur (« interposeur ») entre le circuit imprimé de la barrette DIMM et le composant SDRAM. L'interposeur guide alors vers l'extérieur certaines lignes de données pour la mise en contact avec des sondes. La figure 20 montre un exemple de barrette DIMM modifiée avec un interposeur de Nexus Technology (www.nexustechnology.com). Un composant DRAM a été détaché (débrasage) de la barrette DIMM, et un rehausseur (raiser) et un interposeur

ont été insérés entre le circuit imprimé du socle DIMM et le composant DRAM.

Pour la mise en contact des signaux, Rohde & Schwarz propose des sondes large bande modulaires avec de nombreux modules d'embout. La sonde peut, par exemple, être reliée au point de mesure à l'aide du module de pointe à braser R&S®RT-ZMA10. Le module de pointe de navigateur large bande R&S®RT-ZMA40 offre également des possibilités de mise en contact flexibles.

De manière générale, pour tous les types de mises en contact, il faut que les contacts soient aussi courts que possible afin de réduire au maximum inductance et capacitance. Les contacts à braser du R&S®RT-ZMA10 ne devraient, par exemple, pas dépasser une longueur de deux à trois millimètres.

Grâce au mode multiple (MultiMode), les sondes modulaires R&S®RT-ZM offrent une grande flexibilité lors de la mesure de tensions différentielles, référencées à la masse ou de mode commun. Pour la mesure de signaux différentiels comme le signal d'horloge ou le signal DQS, les entrées différentielles V_p et V_N ainsi que les contacts de mise à la terre doivent être raccordés (Fig. 21). Le fonctionnement en mode multiple permet de commuter facilement entre le mode différentiel et le mode référencé à la masse pour les tests électriques.

Pour obtenir la meilleure fidélité pour les signaux de commande ou de données DDR référencés à la masse, il convient d'utiliser les entrées de sonde différentielles (V_p et V_N) sans contact de mise à la terre supplémentaires.

Correction des pertes de transmission par de-embedding

La transmission des signaux du point de contact de la ligne de données DDR à l'oscilloscope au moyen d'une sonde n'est pas parfaite. Des pertes de transmission faussent le signal, ce qui

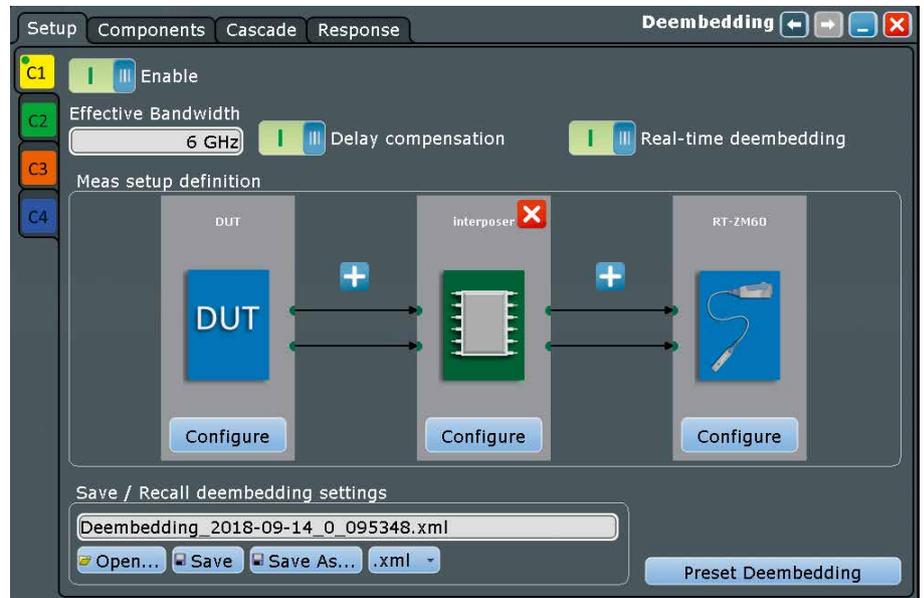


Fig. 22: Boîte de dialogue de configuration pour la fonction de de-embedding.

complicque une comparaison avec la spécification. Ces pertes augmentent avec les ajouts structurels au montage de test, comme les adaptateurs.

Une méthode courante pour compenser ces pertes de transmission est le décalage de type de-embedding du trajet de signal, une méthode que prennent en charge les oscilloscopes R&S®RTO et R&S®RTP. Avec l'option de de-embedding R&S®K121, un filtre de compensation est calculé sur la base de paramètres S et appliqué aux formes d'onde acquises. La figure 22 montre la boîte de dialogue de configuration dans laquelle est défini le trajet de signal. Il est possible de charger pour chaque élément un fichier de paramètres S qui décrit la caractéristique de transmission. Quand le de-embedding est activé, la caractéristique du trajet global, y compris l'entrée de l'oscilloscope, est définie une seule fois et un filtre de compensation est calculé.

Avec l'option R&S®RTP-K122, le de-embedding peut être réalisé sur une unité R&S®RTP en temps réel et avec accélération matérielle. Lors du débogage, l'utilisateur peut recourir au taux d'acquisition élevé de l'oscilloscope (soit

1 million de formes d'onde par seconde) pour enregistrer des événements rares de façon rapide et fiable. Le système déclencheur profite aussi de la compensation en temps réel car il repose sur le signal « correct », donc corrigé.

Conclusion

Avec l'intégration des composants de mémoire DDR3, les concepteurs de circuits sont confrontés à des défis très spécifiques en termes de conception et de test. Pour les relever, l'idéal est de recourir à une solution de mesure personnalisée s'appuyant sur un oscilloscope. L'option K91 pour les appareils R&S®RTO et R&S®RTP est parfaite à cet égard : fonctions pour un débogage efficace, comme le diagramme de l'œil DDR3 et le décodage écriture / lecture, et essais de conformité aux normes accompagnés d'instructions claires. Les mesures avec la fonction de de-embedding en temps réel du R&S®RTP s'avèrent particulièrement efficaces. Cette fonction permet l'élimination automatique des sources de distortion provenant du montage de mesure, et contribue ainsi de manière décisive à la réalisation d'analyses fiables.

Guido Schulze, Johann Tost